

CAPÍTULO 1 – REVISÃO DE LÓGICA COMBINACIONAL

Sumário

1.1. Sistemas de Numeração	3
1.1.1. Conversão Decimal \rightarrow Binária.....	3
1.1.2. Conversão Binária \rightarrow Decimal.....	3
1.1.3. Conversão Binária \leftrightarrow Hexadecimal	4
1.1.4. Conversão Decimal \leftrightarrow Hexadecimal.....	5
1.2. Portas Lógicas	6
1.2.1. Porta <i>AND</i>	6
1.2.2. Porta <i>OR</i>	6
1.2.3. Porta <i>NOT</i>	6
1.2.4. Porta <i>XOR</i>	7
1.2.5. Porta <i>XNOR</i>	7
1.2.6. Porta <i>NAND</i>	8
1.2.7. Porta <i>NOR</i>	8
1.3. Teoremas da Álgebra Booleana	9
1.3.1. Identidades Booleanas	9
1.3.2. Propriedades Associativa e Distributiva	9
1.3.3. Identidades Auxiliares	10
1.3.4. Teoremas de D’Morgan.....	10
1.4. Equivalência entre Blocos Lógicos	11
1.5. Mapa de Veitch-Karnaugh	12
1.5.1. Mapa de Veitch-Karnaugh de 3 variáveis.....	12
1.5.2. Mapa de Veitch-Karnaugh de 4 variáveis.....	12
1.5.2. Mapa de Veitch-Karnaugh de 5 variáveis.....	13
1.5.3. Exemplos de utilização do Mapa de Veitch-Karnaugh	15
1.6. Exercícios de Fixação	16

CAPÍTULO 1 – REVISÃO DE LÓGICA COMBINACIONAL

O campo da eletrônica digital é basicamente dividido em duas áreas: **Lógica Combinacional** e **Lógica Sequencial**. Nesse primeiro capítulo, vamos revisar os principais itens de lógica combinacional necessários para o desenvolvimento de sistemas que utilizam lógica sequencial.

Após esse capítulo você deverá ser capaz de:

- (1) Fazer a conversão de números entre as bases decimal, binária e hexadecimal;
- (2) Compreender o funcionamento das portas lógicas tais como seus símbolos, funções, equivalências e os teoremas da álgebra booleana;
- (3) Utilizar o Mapa de Veitch-Karnaugh como ferramenta de simplificação de circuitos lógicos; e
- (4) Revisar, através de exercícios, a montagem de projetos de circuitos combinacionais.

1.1. Sistemas de Numeração

Sobre Sistemas de Numeração, o principal item a ser utilizado são as conversões entre as bases decimal, binária e hexadecimal.

1.1.1. Conversão Decimal → Binária

Para a conversão entre as bases Decimal e Binária utilizamos a técnica das divisões sucessivas, onde dividimos o número a ser convertido pelo valor da base pretendida, no caso, dividimos o valor a ser convertido por 2, que corresponde à base. Utilizamos os restos dessas divisões como sendo um dos algarismos do número convertido. Ao quociente dessa divisão, aplicamos uma nova divisão e novamente utilizamos o resto como algarismo. Esse processo se repete até que o quociente da divisão $Q(x)$ seja menor que o valor da base, ou seja, até que $Q(x)$ seja igual a 0 ou 1, onde se pegam todos os restos e o último quociente, a partir dele, formando o número convertido. A figura 1.1 ilustra o processo de conversão do número 19 na base decimal para a base 2 ou binária.

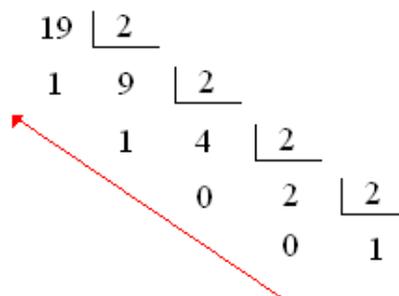


Figura 1.1 Processo de conversão de um número decimal para a base binária.

Logo, a partir da figura 1.1, observamos que o número decimal 19 convertido para a base 2 equivale a 10011_2 .

1.1.2. Conversão Binária → Decimal

Para a conversão de um número binário para um número decimal, utilizamos o processo da Notação Posicional (NP), onde busca-se estabelecer o peso relativo de cada algarismo expresso pelo número.

Considere um número binário de n dígitos $b_n \dots b_3 b_2 b_1 b_0$, para convertê-lo para decimal utilizando o processo da Notação Posicional, precisamos da equação (1) expressa abaixo:

$$NP(b_n \dots b_3 b_2 b_1 b_0) = \sum_{i=0}^n b_i 2^i = b_0 2^0 + b_1 2^1 + b_2 2^2 + b_3 2^3 + \dots + b_n 2^n \quad (1)$$

onde NP é o valor do número convertido para decimal. Utilizando como exemplo a conversão do número binário 10011_2 para decimal temos:

$$NP(10011) = \sum_{i=0}^4 b_i 2^i = 1 \cdot 2^0 + 1 \cdot 2^1 + 0 \cdot 2^2 + 0 \cdot 2^3 + 1 \cdot 2^4 = 19$$

1.1.3. Conversão Binária \Leftrightarrow Hexadecimal

Cada 4 dígitos binários resultam em 1 dígito hexadecimal e vice-versa. Para realizar a conversão basta fazer uso da tabela 1.1 abaixo:

Tabela 1.1 Conversão entre números binários e hexadecimais.

<u>Binário</u>	<u>Hexadecimal</u>
0000	0
0001	1
0010	2
0011	3
0100	4
0101	5
0110	6
0111	7
1000	8
1001	9
1010	A
1011	B
1100	C
1101	D
1110	E
1111	F

Vamos utilizar como exemplo a conversão do número 110011101_2 para a base hexadecimal. Separando o número binário de 4 em 4 algarismos, completando com **0** o último conjunto de 4 algarismos caso esteja incompleto, e consultando a tabela 1.1 obtemos:

Binário	<u>0001</u>	<u>1001</u>	<u>1101</u>
Hexa	1	9	D

Logo, o número binário 110011101_2 equivale à $19D_h$.

1.1.4. Conversão Decimal \Leftrightarrow Hexadecimal

Para essa conversão, os mecanismos das Divisões Sucessivas e Notação Posicional podem ser aplicados, porém a maneira mais fácil é utilizar a base binária como ponte, ou seja, converter primeiramente o número para a base binária e depois para a base escolhida, no caso decimal ou hexadecimal, por um desses processos. Inicialmente, isso parece dobrar o trabalho, porém, com práticas nas conversões anteriores, a conversão entre as bases decimal e hexadecimal utilizando a base binária como ponte se torna muito mais fácil e rápida.

1.2. Portas Lógicas

Continuando os itens de revisão, vamos relembrar as sete portas lógicas: as portas lógicas **básicas** (*AND*, *OR* e *NOT*), as **comparadoras** (*XOR* e *XNOR*) e as **universais** (*NAND* e *NOR*). Vamos relembrar seus símbolos elétricos, tabelas-verdade e diagrama de ligação a partir de chaves NA e NF.

1.2.1. Porta *AND*

A figura 1.2 apresenta o símbolo padrão, a tabela-verdade e o diagrama de ligação da porta *AND*.

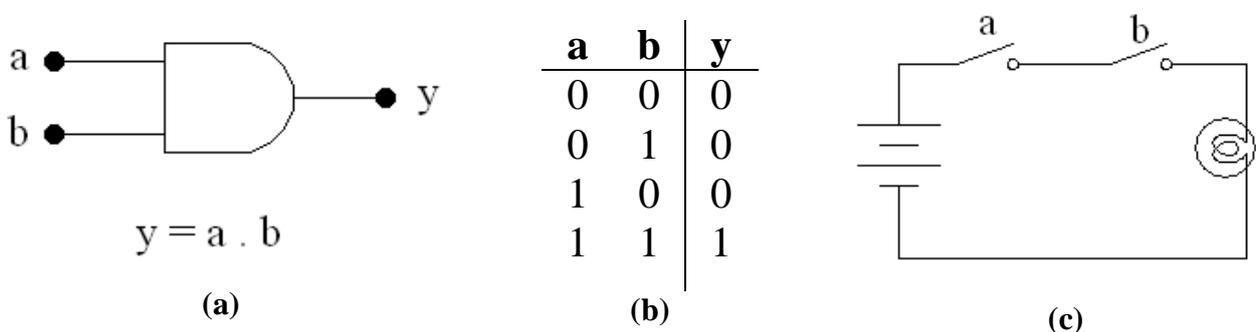


Figura 1.2 Porta lógica *AND* e seu (a) símbolo padrão, (b) tabela-verdade e (c) diagrama de ligação.

1.2.2. Porta *OR*

A figura 1.3 apresenta o símbolo padrão, a tabela-verdade e o diagrama de ligação da porta *OR*.

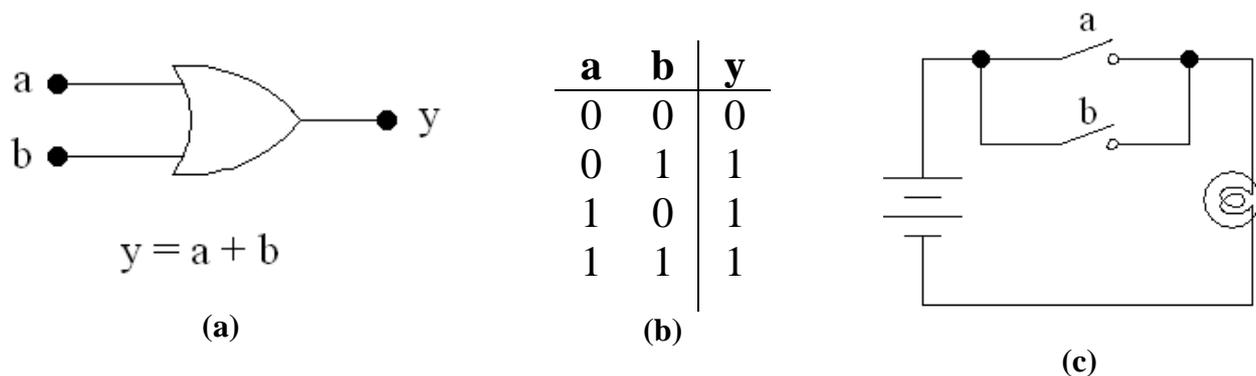


Figura 1.3 Porta lógica *OR* e seu (a) símbolo padrão, (b) tabela-verdade e (c) diagrama de ligação.

1.2.3. Porta *NOT*

A figura 1.4 apresenta o símbolo padrão, a tabela-verdade e o diagrama de ligação da porta *NOT*.

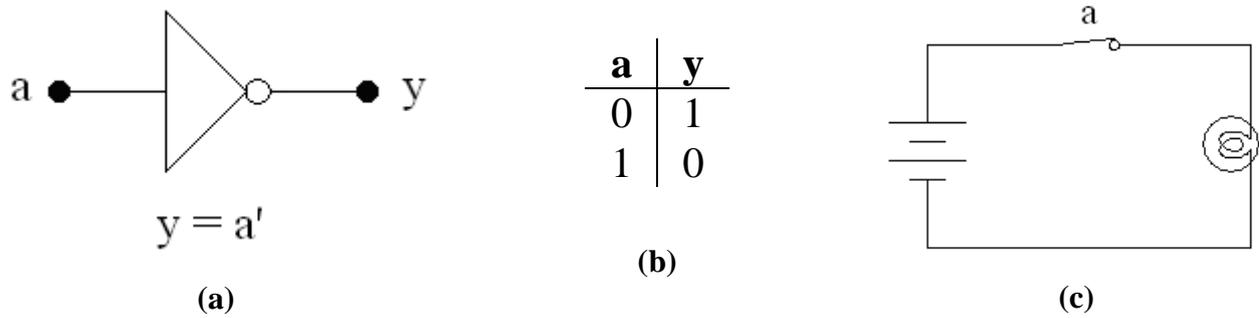


Figura 1.4 Porta lógica *NOT* e seu (a) símbolo padrão, (b) tabela-verdade e (c) diagrama de ligação.

1.2.4. Porta *XOR*

A figura 1.5 apresenta o símbolo padrão, a tabela-verdade e o diagrama de ligação da porta *XOR*. Por serem portas comparadoras, tanto as portas *XOR* quanto as *XNOR* só possuem 2 entradas.

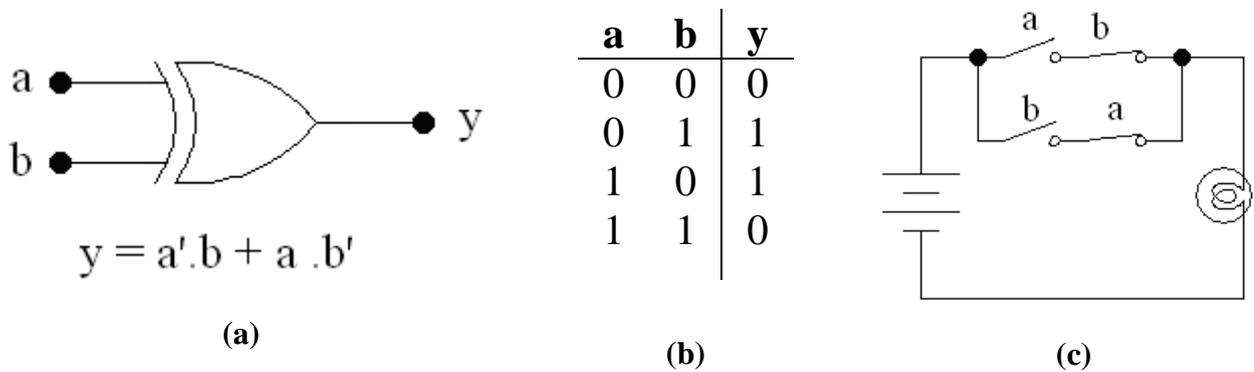


Figura 1.5 Porta lógica *XOR* e seu (a) símbolo padrão, (b) tabela-verdade e (c) diagrama de ligação.

1.2.5. Porta *XNOR*

A figura 1.6 apresenta o símbolo padrão, a tabela-verdade e o diagrama de ligação da porta *XNOR*.

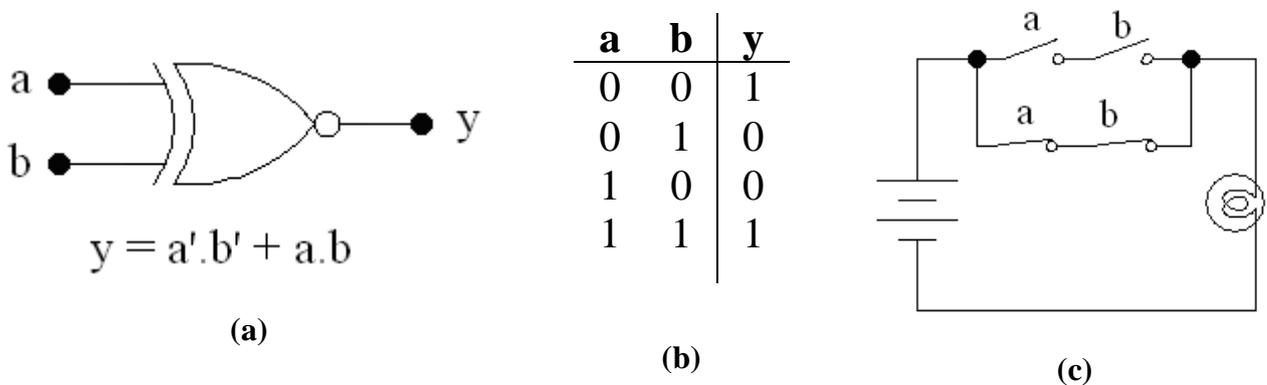


Figura 1.6 Porta lógica *XNOR* e seu (a) símbolo padrão, (b) tabela-verdade e (c) diagrama de ligação.

1.2.6. Porta *NAND*

A figura 1.7 apresenta o símbolo padrão, a tabela-verdade e o diagrama de ligação da porta *NAND*.

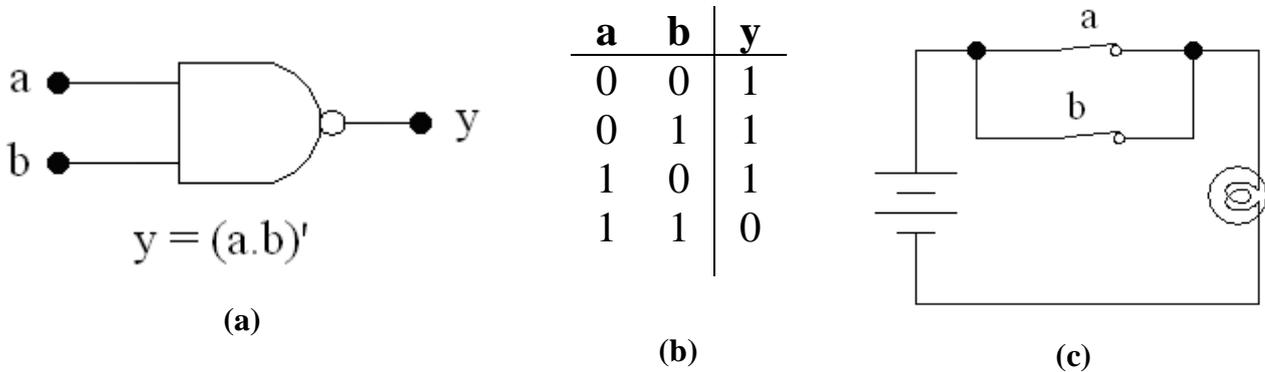


Figura 1.7 Porta lógica *NAND* e seu (a) símbolo padrão, (b) tabela-verdade e (c) diagrama de ligação.

1.2.7. Porta *NOR*

A figura 1.8 apresenta o símbolo padrão, a tabela-verdade e o diagrama de ligação da porta *NOR*.

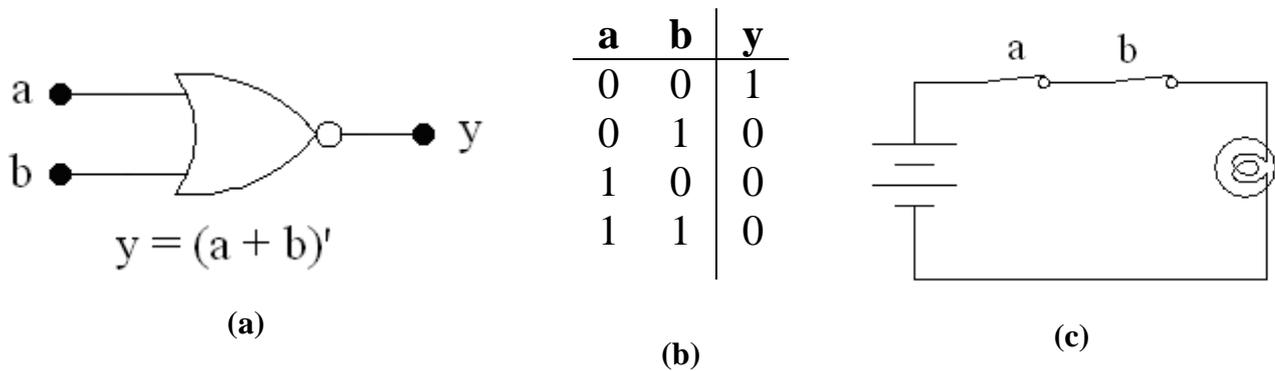


Figura 1.8 Porta lógica *NOR* e seu (a) símbolo padrão, (b) tabela-verdade e (c) diagrama de ligação.

1.3. Teoremas da Álgebra Booleana

Vamos apresentar agora os principais teoremas da álgebra booleana:

1.3.1. Identidades Booleanas

Cada identidade booleana pode ser demonstrada a partir das operações *AND*, *OR* e *NOT*. A tabela 1.2 demonstra essas identidades.

Tabela 1.2 Identidades Booleanas		
<i>AND</i>	<i>OR</i>	<i>NOT</i>
$a \cdot 0 = 0$	$a + 0 = a$	$0' = 1$
$a \cdot 1 = a$	$a + 1 = 1$	$1' = 0$
$a \cdot a' = 0$	$a + a' = 1$	$a'' = a$
$a \cdot a = a$	$a + a = a$	

1.3.2. Propriedades Associativa e Distributiva

A tabela 1.3 demonstra essas propriedades.

Tabela 1.3 Propriedades Associativa e Distributiva		
	<i>OR</i>	<i>AND</i>
Associativa	$(a + b) + c = a + (b + c)$	$(a \cdot b) \cdot c = a \cdot (b \cdot c)$
Distributiva	$a + b = b + a$	$a \cdot b = b \cdot a$

A propriedade distributiva também é válida em álgebra booleana:

$$a \cdot (b + c) = a \cdot b + a \cdot c$$

Na álgebra booleana, também é válida a 2ª lei da distributiva:

$$(a + b) \cdot (a + c) = a + b \cdot c$$

Prova: $(a + b) \cdot (a + c) = a \cdot a + a \cdot c + b \cdot a + b \cdot c = a + a \cdot c + a \cdot b + b \cdot c = a \cdot (1 + c + b) + b \cdot c = a \cdot 1 + b \cdot c = a + b \cdot c$

1.3.3. Identidades Auxiliares

São utilizadas para simplificar funções booleanas. Abaixo, demonstramos essas identidades.

$$1. \quad a + a.b = a$$

$$2. \quad a' + a.b = a' + b$$

$$\text{Lembrando: } a' = a' + a'.b$$

$$3. \quad a + a'.b = a + b$$

$$4. \quad a + a.b = a$$

$$5. \quad a' + a'.b = a'$$

$$6. \quad a' + a'.b' = a'$$

$$7. \quad a' + a.b' = a' + b'$$

$$8. \quad a + a'.b' = a + b'$$

1.3.4. Teoremas de D'Morgan

1. O complemento dos produtos é idêntico à soma dos complementos.

$$(a . b)' = a' + b'$$

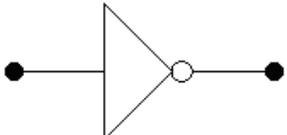
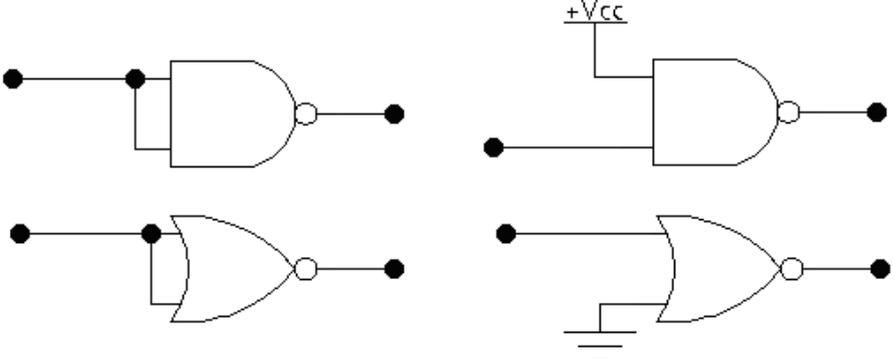
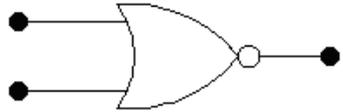
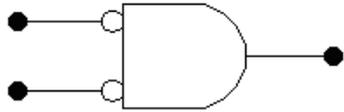
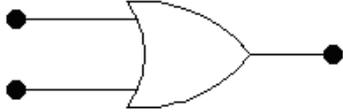
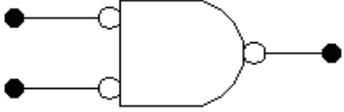
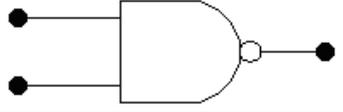
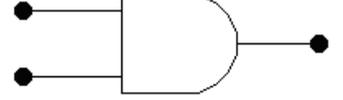
2. O complemento da soma é idêntico ao produto dos complementos.

$$(a + b)' = a' . b'$$

1.4. Equivalência entre Blocos Lógicos

A tabela 1.4 apresenta blocos lógicos e seus blocos equivalentes.

Tabela 1.4 Blocos Lógicos e seus Blocos Equivalentes.

Bloco Lógico	Bloco Equivalente
	
	
	
	
	

1.5. Mapa de Veitch-Karnaugh

O Mapa de Veitch-Karnaugh é uma das ferramentas mais utilizadas na eletrônica digital na simplificação de circuito combinacionais. Como nosso objetivo é fazer uma revisão sobre os conceitos já estudados, serão mostrados abaixo as estruturas do mapa de Veitch-Karnaugh para 3, 4 e 5 variáveis, utilizando como endereçamento das variáveis o código de *Gray*.

1.5.1. Mapa de Veitch-Karnaugh de 3 variáveis

Como conceituado anteriormente, para uma simplificação no mapa de Karnaugh, basta colocar o valor da saída de cada linha da tabela verdade no mapa, utilizando os endereços codificados por código de Gray, e laçar células adjacentes potências de 2. Para cada laço utilizado, buscar as variáveis que não alteram seu valor durante a extensão das células marcadas. Após isso cada laço gera um termo na expressão do circuito. A estrutura do mapa de Veitch-Karnaugh de 3 variáveis é descrita na figura 1.9.

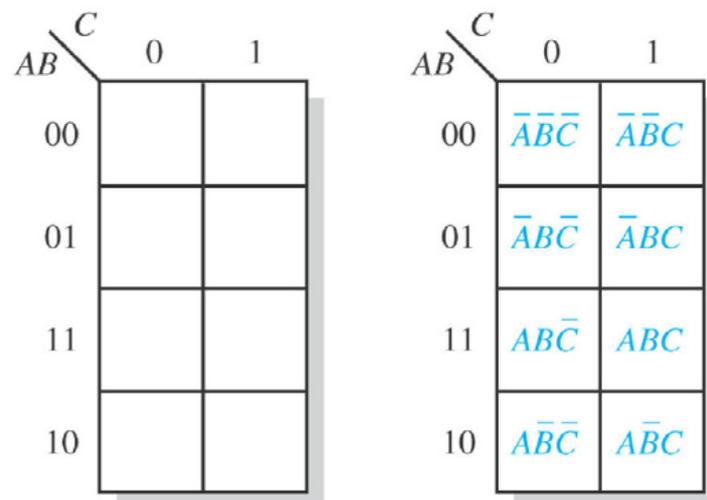


Figura 1.9 Mapa de Veitch-Karnaugh de 3 variáveis. (FLOYD)

1.5.2. Mapa de Veitch-Karnaugh de 4 variáveis

Utilizando a mesma estrutura do código de Gray, a figura 1.10 mostra o mapa de Karnaugh para 4 variáveis. Na simplificação, utilizam-se os mesmo conceitos citados no item 1.5.1.

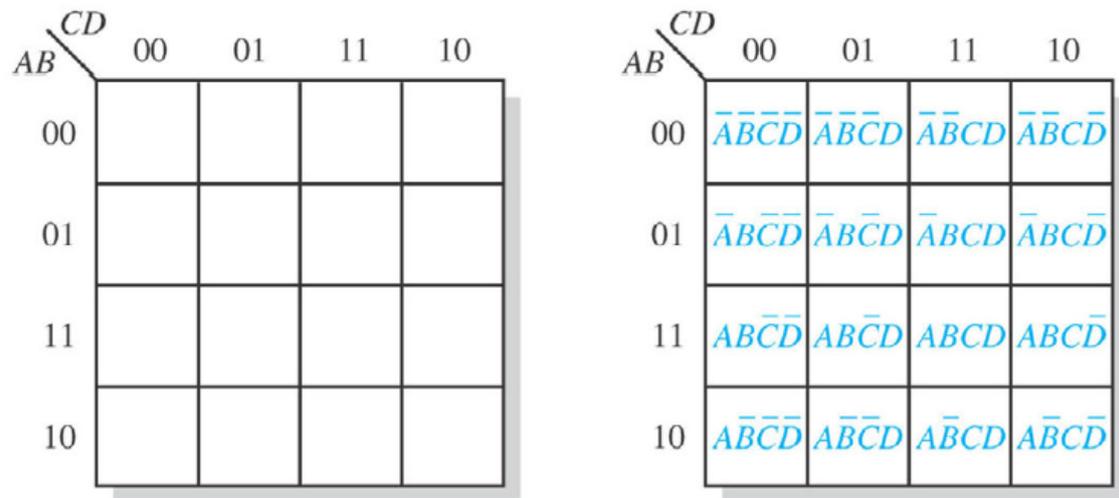
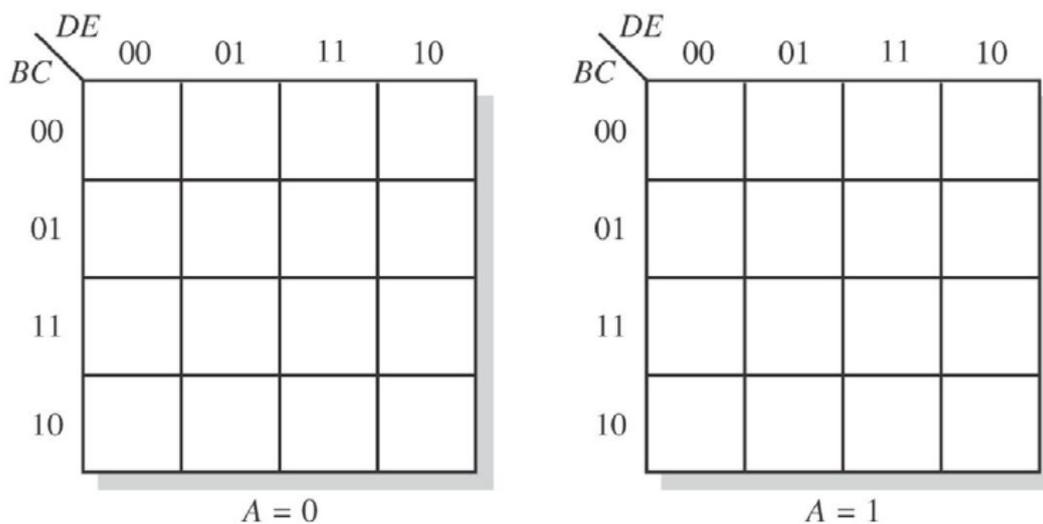


Figura 1.10 Mapa de Veitch-Karnaugh de 4 variáveis. (FLOYD)

1.5.2. Mapa de Veitch-Karnaugh de 5 variáveis

Utilizando a mesma estrutura do código de Gray, a figura 1.11 mostra o mapa de Karnaugh para 5 variáveis e como utilizá-lo. Na simplificação, utilizam-se os mesmos conceitos citados no item 1.5.1.



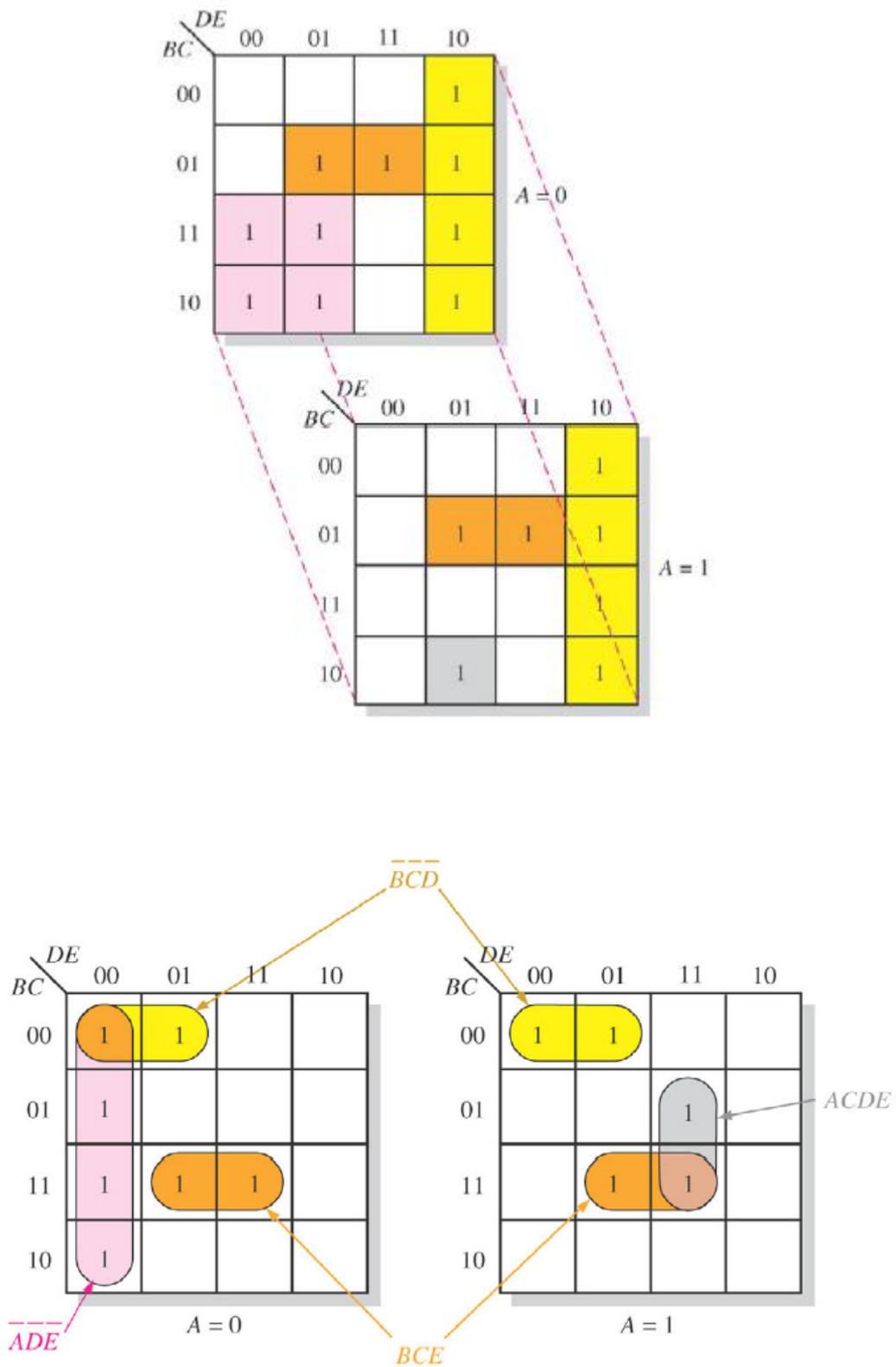


Figura 1.11 Mapa de Veitch-Karnaugh de 5 variáveis. (FLOYD)

1.5.3. Exemplos de utilização do Mapa de Veitch-Karnaugh

A figura 1.12 mostra alguns exemplos de utilização de Mapas de Veitch-Karnaugh de 3 e 4 variáveis:

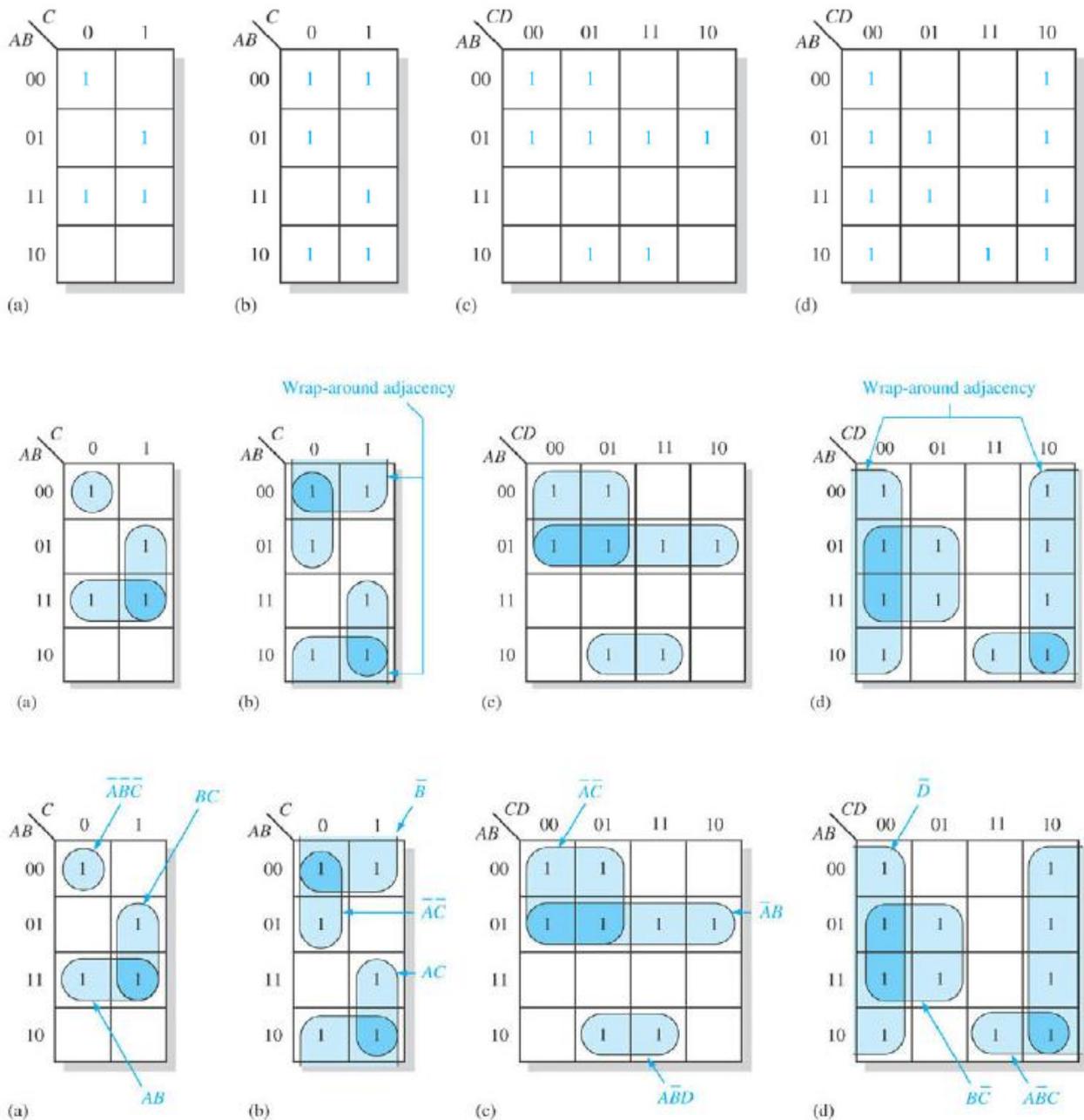


Figura 1.12 Exemplos de utilização do Mapa de Veitch-Karnaugh de 3 e 4 variáveis. (FLOYD)

1.6. Exercícios de Fixação

1. Converta os seguintes números decimais para números binários:

- (a) 25
- (b) 33
- (c) 45
- (d) 128
- (e) 567
- (f) 48

2. Converta os seguintes números decimais para números hexadecimais:

- (a) 8
- (b) 28
- (c) 38
- (d) 58
- (e) 99
- (f) 128

3. Converta os números abaixo para decimal:

- (a) 10110110110_2
- (b) 100101101_2
- (c) 177564_8
- (d) $111FFA_{16}$
- (e) $FACA_h$
- (f) 111011010011_2
- (g) $123456789A_h$
- (h) $ABCDE_h$

4. Converta cada um dos números abaixo para as bases pedidas:

- (a) $101001_2 = (\quad)_8$
- (b) $10101101_2 = (\quad)_{16}$
- (c) $11101001_2 = (\quad)_{10}$
- (d) $10101101_2 = (\quad)_8$

- (e) $11101001010_2 = (\quad)_8$
- (f) $11101001010_2 = (\quad)_h$
- (g) $7654_8 = (\quad)_{10}$
- (h) $76534_8 = (\quad)_{16}$
- (i) $7634_8 = (\quad)_2$
- (j) $FACAF0CA_{16} = (\quad)_2$
- (k) $DED0_{16} = (\quad)_8$

6. Exprese cada número decimal a seguir em um número binário do tipo sinal-magnitude de 8 bits:

- (a) + 29
- (b) + 78
- (c) - 90
- (d) + 121
- (e) - 11
- (f) - 123
- (g) + 67
- (h) - 51
- (i) - 39
- (j) + 88
- (k) - 77

7. Exprese cada número decimal a seguir em um número binário do tipo complemento de 2 de 8 bits:

- (a) - 12
- (b) - 28
- (c) - 98
- (d) - 102
- (e) - 56
- (f) - 97
- (g) - 77
- (h) - 111

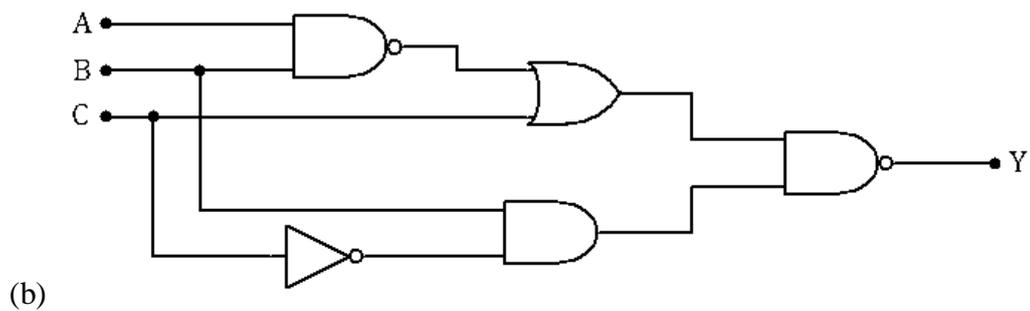
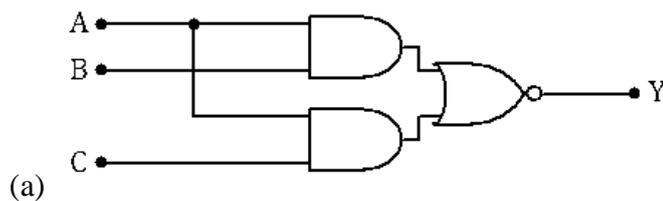
8. Determine o valor decimal de cada número sinalizado a seguir na forma sinal-magnitude:

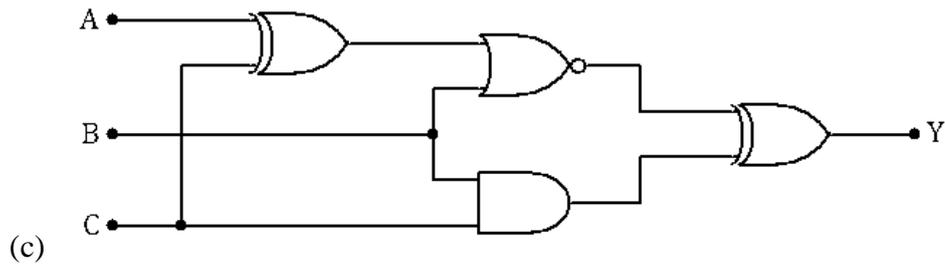
- (a) 10001001_2
- (b) 10010110_2
- (c) 01010101_2
- (d) 01001010_2
- (e) 10101010_2
- (f) 11110000_2
- (g) 00001111_2
- (h) 10010010_2

9. Determine o valor decimal de cada número sinalizado a seguir na forma complemento de 2:

- (a) 10010011_2
- (b) 01011110_2
- (c) 10110001_2
- (d) 11001000_2
- (e) 10101111_2
- (f) 00110010_2
- (g) 00100010_2
- (h) 10001110_2

10. Obtenha as expressões booleanas a partir dos circuitos lógicos abaixo:





11. Obtenha as tabelas verdade e implemente os circuitos lógicos a partir das expressões booleanas abaixo:

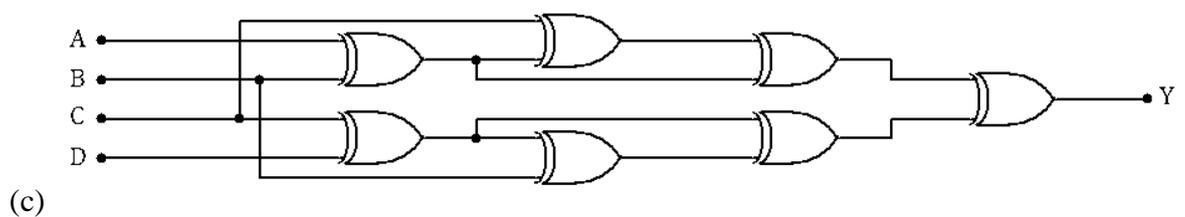
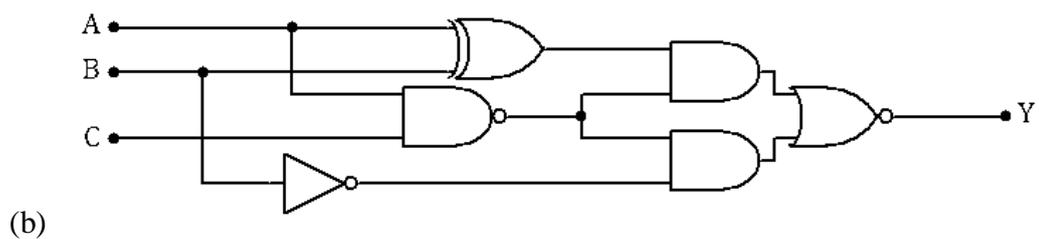
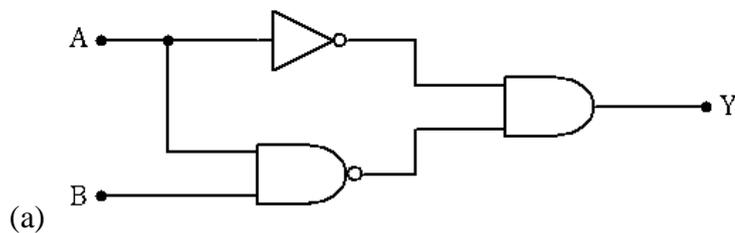
(a) $S_1(ABC) = \overline{[A \cdot B \cdot (A + C)]} + [A \cdot C(B + \bar{C})]$

(b) $S_2(ABCD) = ABC[D \oplus (A + B + C) + \bar{D} \cdot \bar{C}]$

(c) $S_3(ABCDE) = [(\overline{ABC})D] \odot [E \oplus (AB)]$

(d) $S_4(ABCD) = ABD + C[\bar{D}\bar{B}(A + C)]$

12. Obtenha as tabelas verdade a partir dos circuitos lógicos abaixo:



13. Demonstre que:

$$A \odot (B \oplus C) = A \oplus (B \odot C)$$

14. Um aparelho de ar-condicionado é controlado por quatro variáveis: temperatura, T , umidade, U , horário do dia, H ; e o dia da semana, D , que são definidas por;

$$T = \begin{cases} 1 & T > 78^{\circ} F \\ 0 & \text{outra condição} \end{cases}$$

$$U = \begin{cases} 1 & U > 85\% \\ 0 & \text{outra condição} \end{cases}$$

$$H = \begin{cases} 1 & \text{entre 8h00 e 17h00} \\ 0 & \text{outra condição} \end{cases}$$

$$D = \begin{cases} 1 & \text{Segunda a sexta} \\ 0 & \text{outra condição} \end{cases}$$

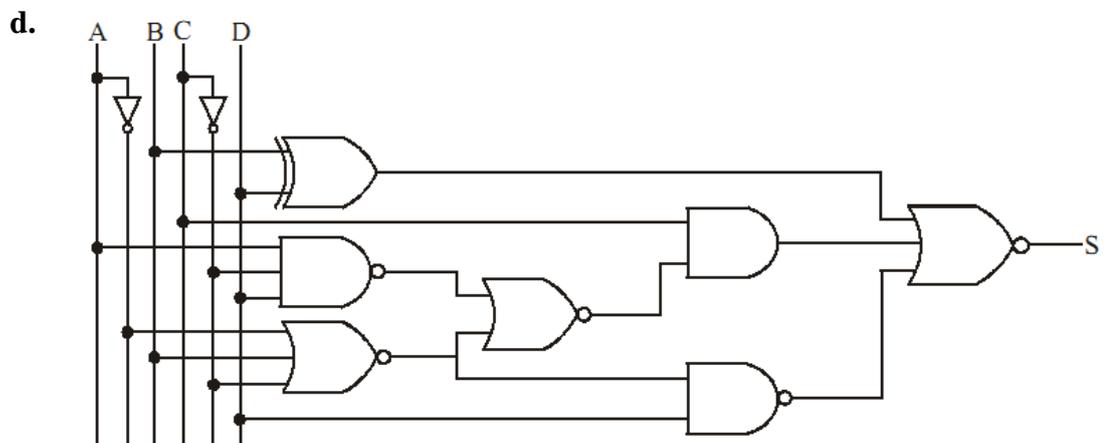
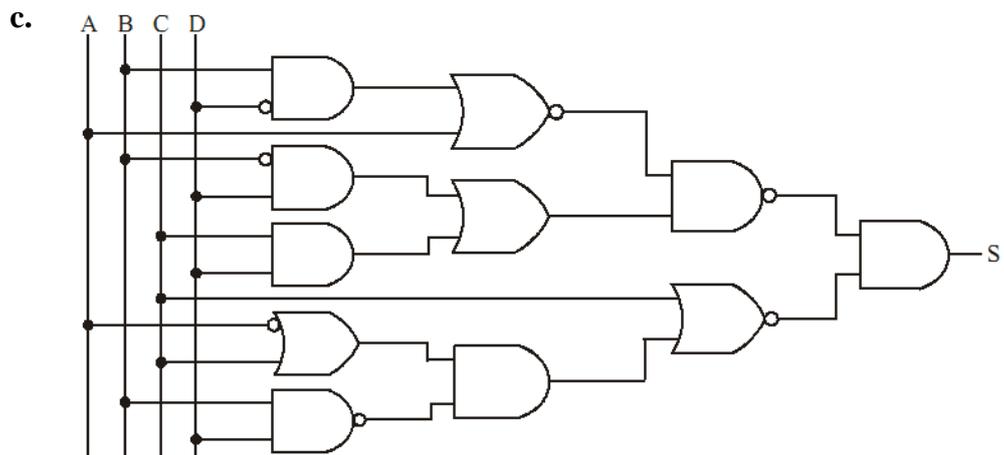
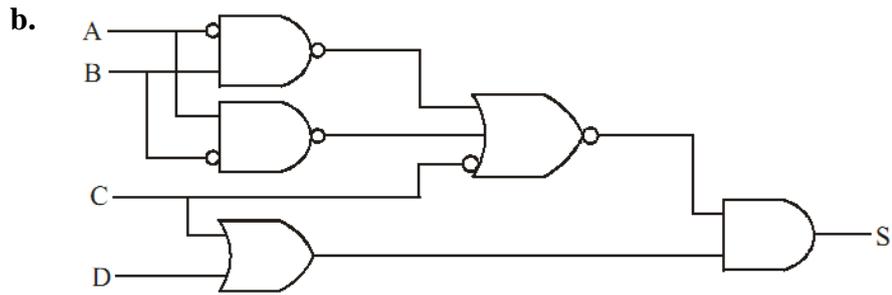
O ar-condicionado deve ser ligado ('1') em qualquer uma das circunstâncias dadas abaixo:

1. A temperatura ultrapassa $78^{\circ}F$, horário do dia esta entre 8h e 17h e não é final de semana;
2. A umidade excede 85% e é final de semana;
3. A umidade excede 85%, a temperatura ultrapassa $78^{\circ}F$, e é um dia semanal;

A partir das condições descritas acima, implemente o circuito lógico simplificado, responsável pelo controle desse ar-condicionado, utilizando como ferramenta de simplificação o mapa de Veitch-Karnaugh.

15. A figura a seguir mostra a interseção de uma via preferencial com uma outra secundária. Vários sensores detecção de veículos estão colocados ao longo das mãos de direção C e D (via principal) e A e B (via secundária). A saída de tais sensores está em nível lógico BAIXO quando nenhum veículo foi detectado, e no nível lógico ALTO quando pelo menos um veículo estiver sido detectado. O sinal de tráfego no cruzamento deve ser controlado como se segue:

1. A luz do sinal leste-oeste (LO) deverá ser verde, sempre que houver veículos em ambas as mãos de direção C e D.



17. Implemente os circuitos lógicos simplificados a partir das tabelas verdade abaixo:

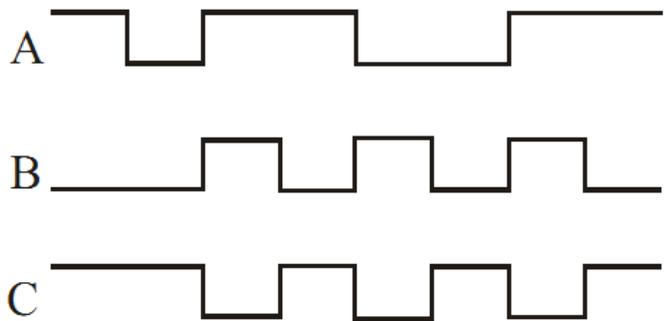
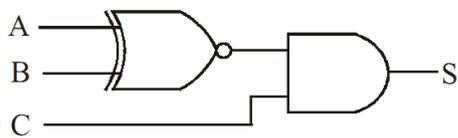
a.

A	B	C	S
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

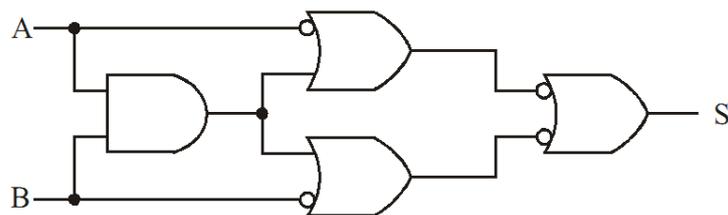
b.

A	B	C	D	S
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

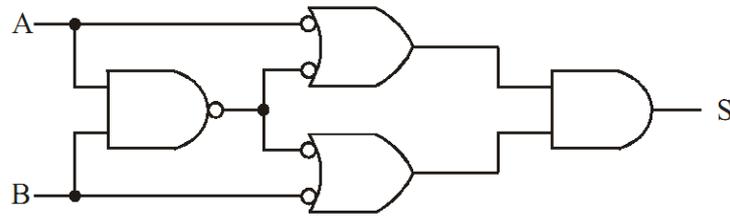
18. Desenhe o sinal de saída do circuito abaixo:



19. Mostre que o circuito abaixo é um **ou exclusivo**:



20. Mostre que o circuito abaixo é um **coincidência**:



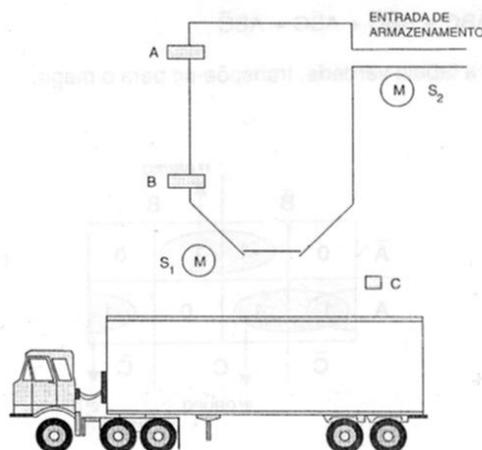
21. Esquematize o circuito **ou exclusivo** utilizando apenas portas **NOR**.

22. Esquematize o circuito **coincidência** utilizando apenas portas **NAND**.

23. Uma máquina possui quatro motores. Os motores têm uma seqüência de operação definida por botoeiras (A, B, C e D), de tal forma que a somatória das potências dos motores em funcionamento não ultrapasse 120HP. Caso isto ocorra, o sistema deve retirar o motor de menor potência em funcionamento. Se a somatória continuar maior que o limite mencionado, o segundo motor de menor potência deve ser retirado, e isto deve ser repetido até que o limite de 120HP não seja excedido.

Considerando-se: $M_1 = 20\text{HP}$, $M_2 = 30\text{HP}$, $M_3 = 70\text{HP}$ e $M_4 = 100\text{HP}$. =, e que A aciona M_1 , B aciona M_2 , C aciona M_3 e D aciona M_4 . Projete um circuito lógico que satisfaça a exigência citada.

24. Projetar um circuito lógico para realizar o controle de um silo de armazenamento de grãos. Observe a figura abaixo:



Os elementos A, B e C são os sensores de entrada que monitoram o nível máximo, mínimo e a presença do caminhão, respectivamente. Os elementos S_1 e S_2 são as saídas, motores que comandam a abertura e o fechamento dos compartimentos de enchimento e esvaziamento do silo. As seguintes condições devem ser respeitadas na implementação do sistema de controle:

- a. se a quantidade de grãos estiver abaixo do nível mínimo, deve-se desligar S_1 e ligar S_2 para realizar o armazenamento de grãos;
- b. se o silo tiver um nível de grãos acima do mínimo e o sensor C acusar a presença de um caminhão, a saída S_1 pode ser aberta;
- c. quando atingir o nível máximo, automaticamente a saída S_2 deve ser desligada;
- d. se o sensor A acusar nível máximo e o sensor B acusar que o silo está vazio, um sinal de alarme deve ser acionado;
- e. os grãos somente serão liberados para o caminhão se o nível de armazenamento estiver acima do mínimo.

25. Projete um circuito multiplexador de 8 entradas. O circuito deve possuir um sinal de habilitação, ativo baixo, que habilita a operação do mesmo. A tabela verdade, a função de saída, e o esquemático do circuito devem ser apresentados.

26. Projete um circuito combinacional cujas entradas são: CH_1 , CH_2 , CH_3 e CH_4 , e que acionadas na seqüência, CH_1 a CH_4 , façam aparecer em um display do tipo 7 segmentos anodo comum as letras: A, L, E, e H, respectivamente. Considere:

- nunca acontecerá que todas as chaves estejam desligadas;
- nunca duas ou mais chaves podem estar ligadas simultaneamente;

A tabela verdade, as funções booleanas de saída bem como o circuito esquemático devem ser apresentados na solução.

27. Projete um circuito multiplexador 8:1 a partir de circuitos multiplexadores 2:1.

28. Projete um sistema digital que divida um número binário de 4 bits por 2 para produzir o quociente binário de 3 bits (parte inteira). Assuma que o número binário de entrada está na faixa de 0_{10} a 12_{10} e que os números de 13_{10} a 15_{10} nunca ocorrerão como entrada.
29. Usando um único circuito decodificador 3X8, mais portas lógicas adicionais, implemente as seguintes funções booleanas: $F_1(A,B,C) = \Sigma(0,1,4)$ e $F_2(A,B,C) = \Pi(0,4,6,7)$

A tabela de operação do decodificador é:

ENTRADAS			SAÍDAS							
A	B	C	Z ₀	Z ₁	Z ₂	Z ₃	Z ₄	Z ₅	Z ₆	Z ₇
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

30. Responda:

- Qual a função de um circuito multiplexador?
- Qual a função de um circuito decodificador?
- Qual a função de um circuito codificador?
- Qual a função de um circuito comparador de magnitude?
- Qual a principal diferença existente entre um circuito decodificador e um circuito demultiplexador?